

IMPLEMENTASI *FIELD PROGRAMMABLE GATE ARRAY (FPGA)*

UNTUK MEMBUAT GAME RICOCHET

SKRIPSI



Disusun oleh

Astona Sura Satrida

08.11.2471

**JURUSAN TEKNIK INFORMATIKA
SEKOLAH TINGGI MANAJEMEN INFORMATIKA DAN KOMPUTER
AMIKOM
YOGYAKARTA
2012**

IMPLEMENTASI *FIELD PROGRAMMABLE GATE ARRAY (FPGA)*

UNTUK MEMBUAT GAME RICOCHET

SKRIPSI

untuk memenuhi sebagian persyaratan
mencapai derajat Sarjana S1
pada jurusan Teknik Informatika



Disusun oleh

Astona Sura Satrida

08.11.2471

**JURUSAN TEKNIK INFORMATIKA
SEKOLAH TINGGI MANAJEMEN INFORMATIKA DAN KOMPUTER
AMIKOM
YOGYAKARTA
2012**

PERSETUJUAN

SKRIPSI

**IMPLEMENTASI *FIELD PROGRAMMABLE GATE ARRAY* (FPGA)
UNTUK MEMBUAT GAME RICOCHET**

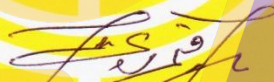
yang dipersiapkan dan disusun oleh

Astona Sura Satrida

08.11.2471

telah disetujui oleh Dosen Pembimbing Skripsi
pada tanggal 11 November 2011

Dosen Pembimbing,



Ferry Wahyu Wibowo, S.Si., M.Cs
NIK. 190302207

PENGESAHAN

SKRIPSI

IMPLEMENTASI *FIELD PROGRAMMABLE GATE ARRAY* (FPGA)

UNTUK MEMBUAT GAME RICOCHET

yang dipersiapkan dan disusun oleh

Astona Sura Satrida

08.11.2471

telah dipertahankan di depan Dewan Penguji
pada tanggal 12 Juli 2012

Susunan Dewan Penguji

Nama Penguji

Tanda Tangan

Ferry Wahyu Wibowo, S.Si., M.Cs
NIK. 190302207

Melwin Syafrizal, S.Kom., M.Eng.
NIK. 190302105

Emha Taufiq Luthfi, ST, M.Kom
NIK. 190302125



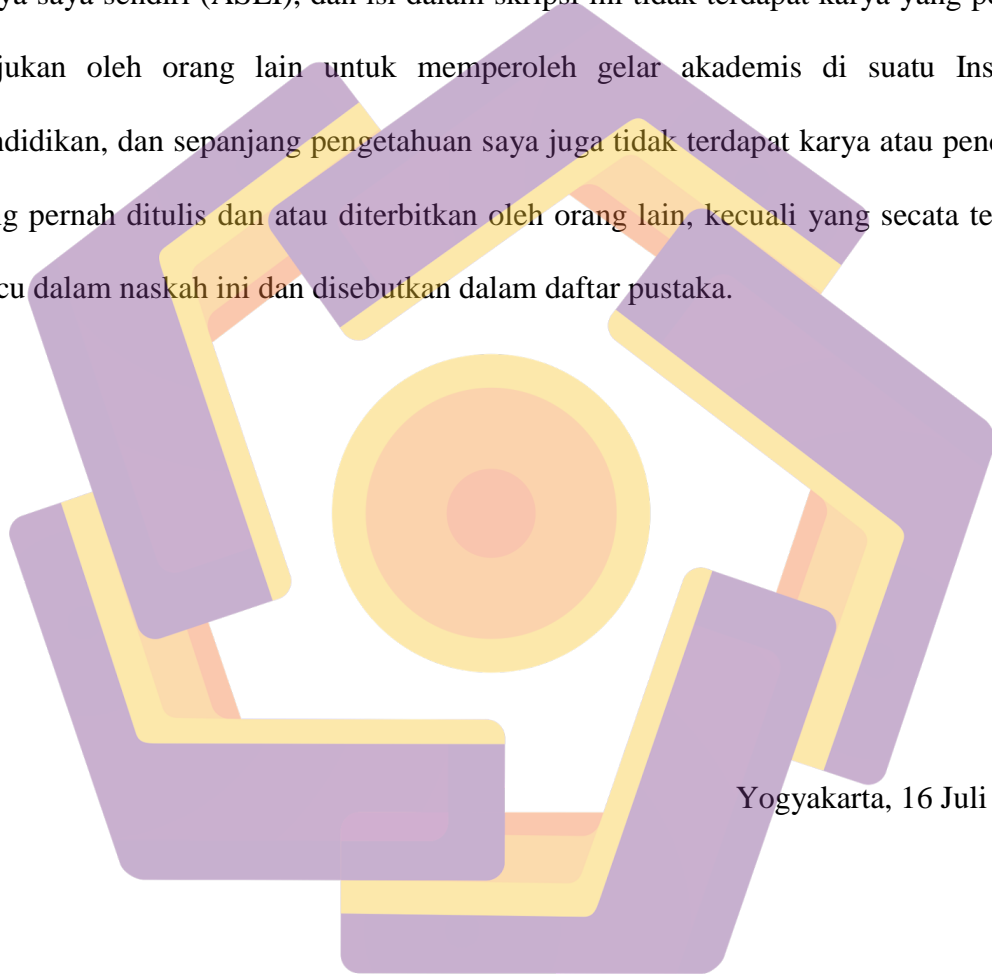
Skripsi ini telah diterima sebagai salah satu persyaratan
untuk memperoleh gelar Sarjana Komputer
Tanggal 23 Juli 2012

KETUA STMIK AMIKOM YOGYAKARTA

Prof. Dr. M. Suyanto, M.M.
NIK. 190302001

PERNYATAAN

Saya yang bertanda tangan dibawah ini menyatakan bahwa skripsi ini merupakan karya saya sendiri (ASLI), dan isi dalam skripsi ini tidak terdapat karya yang pernah diajukan oleh orang lain untuk memperoleh gelar akademis di suatu Institusi Pendidikan, dan sepanjang pengetahuan saya juga tidak terdapat karya atau pendapat yang pernah ditulis dan atau diterbitkan oleh orang lain, kecuali yang secara tertulis diacu dalam naskah ini dan disebutkan dalam daftar pustaka.



Yogyakarta, 16 Juli 2012

Astona Sura Satrida

08.11.2471

MOTTO

Butuh kesabaran dalam belajar, butuh kesabaran dalam bersikap baik,
butuh kesabaran dalam kejujuran,
dan butuh kesabaran dalam setiap kebaikan agar kita mendapat kemenangan.

Hidup itu maju kedepan! Bukan mundur ke belakang! Lupakan yg telah berlalu!
Jadikan ia patokan untuk lebih baik dimasa depan.

Betapa sulitnya manusia bersyukur atas nafas yang masih berhembus di badan.
Namun betapa mudahnya manusia mengeluh hanya karena kakinya menginjak kotoran.

Tuhan tidak menurunkan takdir begitu saja.

Tuhan memberikan takdir sesuai dengan apa yang kita lakukan.

Jika kita maju dan berusaha, Tuhan akan memberikan takdir kesuksesan.

Jika kita lengah dan malas, maka Tuhan akan memberikan takdir kegagalan.

Yang terbaik adalah : "Aku telah mencobanya",
dan yang terburuk adalah : "Aku akan mencobanya".

PERSEMBAHAN

Skripsi ini penulis persembahkan untuk :

- Kedua orangtuaku tercinta, yang telah mendoakan setiap saat tanpa henti, mendidik dan membimbingku dengan kasih sayang yang tak berujung.
- Semua keluarga dan saudara yang telah mendoakan dan mendukung selama ini.
- Teman –teman I'Class '08 Amikom Jogja, terimakasih atas kebersamaannya dan untuk kenangan indah yang tak terlupakan.
- Keluarga besar STMIK AMIKOM.
- Bangsa dan Negara Republik Indonesia.

KATA PENGANTAR

Bismillahirrahmanirrahim

Assalamualaikum Wr. Wb.

Dengan mengucapkan puji dan syukur atas kehadiran Allah SWT, atas segala limpahan berkah, rahmat dan karunia-NYA, sehingga penulis dapat menyelesaikan laporan skripsi inidengan judul : “**IMPLEMENTASI *FIELD PROGRAMMABLE GATE ARRAY (FPGA) UNTUK MEMBUAT GAME RICOCHET***”. Tak lupa shalawat serta salam kepada nabi junjungan kita nabi besar Muhammad SAW, keluarga, sahabat serta pengikut-pengikut nya.

Melalui kesempatan ini juga penulis ingin mengucapkan terimakasih yang sebesar-besarnya kepada pihak yang telah membantu dalam penulisan serta pembuatan program ini, diantaranya :

1. Bapak Prof. Dr. M. Suyanto, MM selaku ketua STMIK AMIKOM Yogyakarta.
2. Bapak Sudarmawan, M.T selaku ketua jurusan Teknik Informatika STMIK AMIKOM Yogyakarta.
3. Bapak Ferry Wahyu Wibowo, S.Si., M.Cs Selaku dosen pembimbing yang telah memberikan banyak arahan dan bimbingan dalam pelaksanaan skripsi ini.
4. Bapak, ibu dosen dan seluruh staf dan pegawai di jurusan Teknik Informatika yang telah membimbing bagian pembelajaran diri selama studi.

5. Kedua orangtua yang selalu memberikan dorongan moril maupun materi selama studi penyelesaian skripsi ini.
6. Keluarga serta sahabat yang senantiasa mendukung saya.
7. Teman-teman I'Class '08 Amikom Jogja, yang tidak saya sebutkan satu persatu.
8. Teman-teman kontrakan.
9. Teman-teman CB.
10. Teman-teman Onthel.
11. Serta pihak yang telah membantu dan bekerja sama dalam pelaksanaan skripsi ini.

Penulis menyadari masih banyak kekurangan dalam penyusunan laporan skripsi ini. Untuk itu, kritik dan saran adalah sesuatu yang kami harapkan demi kemajuan bersama dan peningkatan ilmu pengetahuan Indonesia.

Yogyakarta, 10 Juli 2012

Penulis

DAFTAR ISI

Halaman Judul	i
Halaman Persetujuan Dosen Pembimbing	ii
Halaman Pengesahan	iii
Halaman Pernyataan	iv
Halam Motto	v
Halaman Persembahan	vi
Kata Pengantar	vii
Daftar isi	ix
Daftar Gambar	xv
Daftar Tabel	xvii
Intisari	xviii
Abstract	xix
BAB I PENDAHULUAN	
1.1 Latar Belakang Masalah	1
1.2 Masalah	2
1.3 Batasan Masalah	3
1.4 Tujuan Penulisan	3

1.5 Manfaat Penelitian	3
1.6 Metode Penulisan	4
1.7 Sistematika Penulisan	4
BAB II LANDASAN TEORI	
2.1 Field Programmable Gate Array (FPGA)	6
2.1.1 Pengenalan FPGA	6
2.1.2 Isi FPGA	8
2.1.3 Cara Kerja FPGA	10
2.1.4 Pin FPGA SPARTAN-3E	16
1. User Pins	17
2. IO Banks	18
3. FPGA Power	18
2.1.5 Kristal dan Oscilator Pada FPGA	19
1. Kristal	20
2. Oscillator	21
3. Ketelitian Kristal dan Oscillator	22
2.1.6 Rancangan FPGA	23
1. Metode Menggunakan Gambar (Schematic).....	23
2. Metode Menggunakan Hardware Language Description atau HDL	24

2.1.7 Konfigurasi FPGA	27
2.1.8 Software FPGA	30
2.2 Very high speed integrated Hardware Description Language (VHDL)	32
2.2.1 Pengertian VHDL	32
2.2.2 Definisi Entity	36
1. Generics	38
2. Constants	39
2.2.3 Architecture : Watak sebuah Rancangan	40
1. Bagian Pendeklarasian Architecture	41
2. Bagian Pernyataan Architecture	42
2.2.4 Process : Unit Fungsional Dasar dalam VHDL	43
2.2.5 Variabel Dasar dan Operator	44
1. Constants	44
2. Signal	45
3. Operator Boolean	46
4. Operator Aritmatika	47
5. Perbandingan Operator	48
6. Rentetan	49
2.2.6 Hierarchial Design	49

2.2.7 FUNCTION dalam VHDL	52
2.2.8 PROCEDURES dalam VHDL	53
1. Procedure Call	54
2. Procedure Location	54
2.2.9 Tipe Data dalam VHDL	55
1. Tipe Data Standar	55
2. Tipe Data Pengguna	56
3. Tipe Integer	56
4. Tipe enumerated	57
2.3 GAME RICOCHET	57
2.3.1 Pengertian Game Ricochet	57
2.3.2 Tipe – Tipe Game	58
BAB III RANCANGAN BLOK GAME RICOCHET	
3.1 Tampilan Game	61
3.2 Ringkasan Rancangan	64
3.3 Papan Permainan	64
3.4 Desain	69
3.4.1 Penjelasan Top – level schematic	69
3.4.2 Obyek gerakan blok	69

a. Ball_movement_schematic	70
1. File Ball_movement	70
2. File Random_direction_generator	73
3. File Divider_ball_movement	73
b. Block_movement_schematic	75
1. File Block_movement.vhd	75
2. File Divider_block_movement.vhd	77
c. Plate_movement_schematic	77
1. File Plate_movement.vhd	77
2. File Divider_plate_movement.vhd	78
d. File Collision_detection.vhd	78
3.4.3 PS2 Reader dan sinyal blok Kontrol Generator	81
a. File Divider_500K.vhd	81
b. File PS2Reader.vhd	81
c. File Control_signals_generator.vhd	83
3.4.4 Blok Skor	84
3.4.5 VGA Blok	85
a. File Image_generator.vhd	86
b. File VGA_Signals_Generator.vhd	86

c. File Divider_25MHz.vhd	87
d. Skema Object_generator.sch	87
e. Skema Message_display.sch	88
1. File Score_display.vhd	88
2. File Msg_selector.vhd	89
3. File Collision_Msg_Generator.vhd	89
4. File Collision_Msg_display_timing.vhd	90
5. File Start_msg_generator.vhd	90
6. File Start_msg_display_timing.vhd	90
BAB IV HASIL DAN PEMBAHASAN	
4.1 Hasil Perancangan	91
4.2 Hasil Implementasi	93
BAB V PENUTUP	
5.1 Kesimpulan	96
5.2 Saran	96
DAFTAR PUSTAKA	98
LAMPIRAN	1

DAFTAR GAMBAR

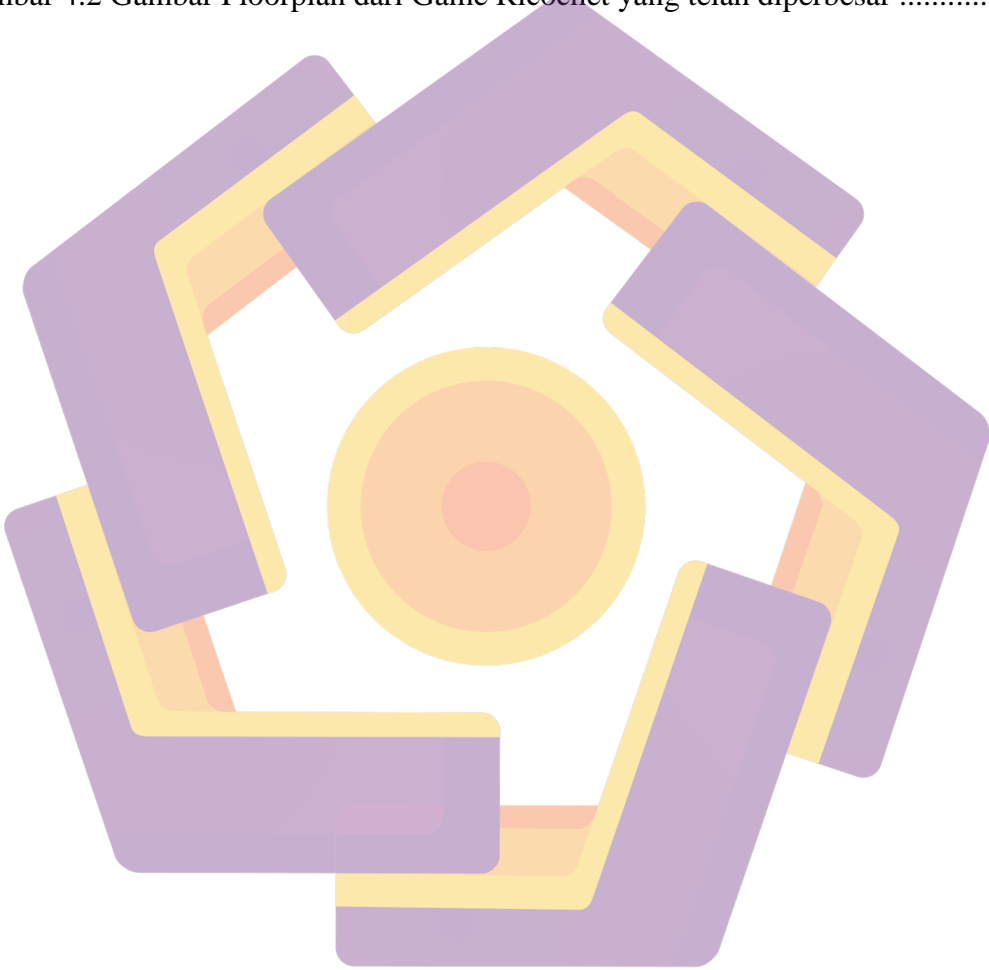
Gambar 2.1 Gambar FPGA Development Board Spartan-3E	8
Gambar 2.2 Gambar FPGA buatan Xilinx	9
Gambar 2.3 Gambar Isi FPGA buatan Xilinx	11
Gambar 2.4 Gambar Isi Logic Cell	12
Gambar 2.5 Gambar Logic Cell yang Terhubung satu sama lain	13
Gambar 2.6 Gambar Logic Cell yang Terhubung satu sama lain dengan Full Addeer 13	14
Gambar 2.7 Gambar Logic Cell yang Terhubung satu sama lain dengan carry chains	15
Gambar 2.8 Gambar Rancangan rangkaian sederhana yang terdiri atas gerbang AND dan OR	25
Gambar 2.9 Gambar Skema rangkaian D-flip flop.....	26
Gambar 2.10 Gambar Proses download ke FPGA	29
Gambar 2.11 Gambar Modul pada VHDL	33
Gambar 2.12 Gambar Model VHDL dengan Arsitektur yang Berbeda	35
Gambar 2.13 Gambar Hirarki Design	50
Gambar 3.1 Gambar Diagram gerakan Bola	72
Gambar 3.2 Gambar Proses Plat Tabrakan	79

Gambar 3.3 Gambar Diagram PS2 Reader 82

Gambar 3.4 Gambar Proses Diagram Control_signals_generator 83

Gambar 4.1 Gambar Floorplan dari Game Ricochet 93

Gambar 4.2 Gambar Floorplan dari Game Ricochet yang telah diperbesar 94



DAFTAR TABEL

Tabel 2.1 Tabel Aritmatika	47
Tabel 2.2 Tabel Perubahan Fungsi	48
Tabel 3.1 Tabel Tampilan Warna Kode 3-Bit	62
Tabel 3.2 Tabel Pengkodean pengontrol pergerakan bola	71
Tabel 3.3 Tabel Jenis Pengkodean Blok	75
Tabel 3.4 Tabel Penentuan jenis blok	76
Tabel 4.1 Tabel Konsumsi Komponen FPGA Yang Dipergunakan Untuk Membuat Game Ricochet	92

INTISARI

Teknologi komputer merupakan pendukung bahkan penggerak kemajuan teknologi informasi pada jaman sekarang ini. Teknologi *chip* dalam komputasi mampu bersaing dalam bidang permainan tidak hanya berbasis *software* namun juga berbasis *hardware*. FPGA merupakan sebuah IC digital yang sering digunakan untuk mengimplementasikan rangkaian digital. FPGA adalah IC digital yang sering digunakan untuk mengimplementasikan algoritma, yang dikonfigurasi menggunakan bahasa deskripsi. Bahasa deskripsi yang digunakan adalah kode VHDL (*Very high speed integrated Hardware Description Language*).

Skripsi ini memaparkan *implementasi field programmable gate array* (FPGA) untuk membuat Game Ricochet. Prinsip yang digunakan dalam skripsi ini adalah membuat game ricochet menggunakan komponen pada tingkat *register transfer logic* (RTL). Komponen yang digunakan dalam rancangan adalah register geser (*shift register*), penjumlahan (*adder*) dan *multiplexer*.

Hasil sintesis yang diperoleh dalam FPGA Spartan-3E untuk mengimplementasikan Game Ricochet mengkonsumsi komponen 1.622 *slices*, 382 *Slice Flip-Flop*, 3064 *4-input LUT*, 14 IO, 14 *Bonded IOB* dan 1 *GCLK*. Sedangkan waktu yang diperlukan untuk memproses data pada Game Ricochet berbasis FPGA sebesar 11.899ns.

Kata Kunci : FPGA, Game Ricochet, IC Digital, RTL.

ABSTRACT

The computer technology is a support even a driver of information technology advance today. Undeniable that computer science is very impacting to the technology development. The chip technology in computation is able to competing in game industry were not only based on software but also based hardware. FPGA is a digital IC that mostly used to implementing the digital circuit. FPGA is a digital IC that mostly used to implementing the algorithm that configured using description language. The language description that used is a VHDL code (Very High Speed Integrated Hardware Description language).

This research is revealing the implementation of field programmable gate array (FPGA) for making Game Ricochet. The principle that used in this research is making a ricochet game using a component at register transfer logic (RTL) level. The component that used in the framework is shift register), adder and multiplexer.

The synthesis result that gained from FPGA Spartan-3E for implementing Ricochet Game is consuming 1.622 sliced component, 382 Slice Flip-Flop, 3064 4-input LUT, 14 IO, 14 Bonded IOB and 1 GCLK. While the time that needed to processing data in the Ricochet Game based on FPGA as much as 11.899ns.

Keyword : FPGA, Game Ricochet, IC Digital, RTL.