

BAB V

PENUTUP

5.1 Kesimpulan

Skripsi ini menunjukkan desain rancangan Game Ricochet yang dibuat menggunakan teknologi *very large scale integration* (VLSI) berbasis FPGA yang diprogram menggunakan kode VHDL. Desain *Game Ricochet* sederhana, karena menggunakan *shift register* dan rangkaian XOR, namun dapat menghasilkan sebuah keluaran game. Hasil sintesis dari FPGA Spaartan-3E menunjukkan bahwa konsumsi *slice* yang digunakan dalam perancangan *Game Ricochet* sebesar 1622 *slice* dari 4656 *slice* yang tersedia atau sekitar 34%, sehingga masih memungkinkan untuk dikembangkan dan dikombinasikan dengan desain lain yang sederhana sehingga menghasilkan desain yang lebih kompleks.

5.2 Saran

Penulis tidak menggunakan RAM video karena memori perangkat terlalu kecil untuk host memori 640x480. Karena gambar tidak homogen jadi tidak bisa menampilkan gambar yang maksimal. Kekurangannya adalah tidak menggunakan RAM video untuk Blok VGA. Sehingga apabila ingin memainkan permainan ini harus mendownload ulang pada papan FPGA

Spartan-3E. Penulis berharap nantinya skripsi ini dapat dikembangkan lebih kompleks lagi dengan adanya alat yang lebih canggih dan modern.

